**Nazwa przedmiotu:**

Projektowanie urządzeń cyfrowych

**Koordynator przedmiotu:**

Marek PAWŁOWSKI

**Status przedmiotu:**

Obowiązkowy

**Poziom kształcenia:**

Studia I stopnia

**Program:**

Informatyka

**Grupa przedmiotów:**

Przedmioty techniczne

**Kod przedmiotu:**

PUCY

**Semestr nominalny:**

7 / rok ak. 2012/2013

**Liczba punktów ECTS:**

4

**Liczba godzin pracy studenta związanych z osiągnięciem efektów uczenia się:**

90

**Liczba punktów ECTS na zajęciach wymagających bezpośredniego udziału nauczycieli akademickich:**

**Język prowadzenia zajęć:**

polski

**Liczba punktów ECTS, którą student uzyskuje w ramach zajęć o charakterze praktycznym:**

**Formy zajęć i ich wymiar w semestrze:**

|  |  |
| --- | --- |
| Wykład: | 30h |
| Ćwiczenia: | 0h |
| Laboratorium: | 0h |
| Projekt: | 30h |
| Lekcje komputerowe: | 0h |

**Wymagania wstępne:**

Zaliczenie przedmiotów UZINT (znajomość podstawowych interfejsów urządzeń zewnętrznych)

**Limit liczby studentów:**

32

**Cel przedmiotu:**

• Zapoznanie studentów z zasadami tworzenia projektów wykorzystujących układy FPGA
• Ukształtowanie umiejętności opisywania projektów za pomocą języków opisu sprzętu VDL, AHDL i Verilog

**Treści kształcenia:**

Elementy architektury ukłaów CPLD i FPGA.
Możliwości oprogramowania EDA do projektowania układów z FPGA i weryfikacji projektu.
Elementy języków projektowania sprzętu: AHDL, VHDL i Verilog.
Metody projektowania podstawowych kombinacyjnych i sekwencyjnych bloków funkcjonalnych.
Realizacja układu mikroprogramowanego w FPGA (min. język AMDASM).
Metody testowania (ścieżka krawędziowa) i samotestestowania (ścieżka cykliczna) ukłaów cyfrowych.
Metody konfiguracji FPGA.
Metodyka projektowania urządzeń cyfrowych.
Projektowanie schematów i płytek drukowanych za pomocą wybranego oprogramowania CAD.
Systemy wbudowane w układach FPGA (min. SoPC).

**Metody oceny:**

Dwa kolokwia i jeden na dwie osoby projekt składający się z trzech etapów.
Etap 1 projektu to opis i uruchomienie interfejsu z wybranym urządzeniem wejściowych i wyjściowym (język AHDL).
Etap 2 to projekt mikrokontrolera w FPGA składającego się z CPU o zadanej liście instrukcji oraz pamięci ROM i RAM o wskazanej pojemności (język VHDLi dla niektórych zespołow AMDASM).
Etap 3 projektu to schemat układu i projekt płytki drukowanej zawierającej elementy niezbędne dla działania układu opisanego projektem.

**Egzamin:**

nie

**Literatura:**

M. Pawłowski, A. Skorupski „Projektowanie złożonych układów cyfrowych”
J. Pasierbiński, P. Zbysiński „Układy programowalne”
M. Zwoliński „Projektowanie układów cyfrowych z wykorzystaniem języka VHDL”
K. Skahill „Język VHDL - Projektowanie programowalnych układów logicznych”
Samir Palnitkar “Verilog HDL, A Guide to Digital Design and Synthesis”
H. Wieczorek „Eagle – pierwsze kroki”
M. Smyczek „Protel 99SE – pierwsze kroki”

**Witryna www przedmiotu:**

https://studia.elka.pw.edu.pl/priv/11Z/PUCY.A/

**Uwagi:**

## Efekty przedmiotowe

### Profil ogólnoakademicki - wiedza

**Efekt PUCY\_W01:**

Znajomość elementów architektury układów CPLD i FPGA

Weryfikacja:

kolokwium 1

**Powiązane efekty kierunkowe:**

**Powiązane efekty obszarowe:**

**Efekt PUCY\_W02:**

Znajomość oprogramowania EDA wspomagającego projektowanie z FPGA

Weryfikacja:

etap 1 i 2 projektu

**Powiązane efekty kierunkowe:**

**Powiązane efekty obszarowe:**

**Efekt PUCY\_W03:**

Wiedza o podstawowych strukturach syntaktycznych wybranych języków HDL (min. VHDL i VERILOG)

Weryfikacja:

kolokwium 1 i 2

**Powiązane efekty kierunkowe:**

**Powiązane efekty obszarowe:**

**Efekt PUCY\_W04:**

Wiedza o metodach projektowania układów samotestujących (ścieżka krawędziowa i cykliczna)

Weryfikacja:

kolokwium 2

**Powiązane efekty kierunkowe:**

**Powiązane efekty obszarowe:**

**Efekt PUCY\_W05:**

Wiedza o zasadach projektowania schematów i płytek drukowanych za pomocą wybranego oprogramowania CAD

Weryfikacja:

etap 3 projektu

**Powiązane efekty kierunkowe:**

**Powiązane efekty obszarowe:**

### Profil ogólnoakademicki - umiejętności

**Efekt PUCY\_U01:**

Potrafi posługiwać się oprogramowaniem EDA do realizacji projektów z FPGA

Weryfikacja:

etap 1 i 2 projektu

**Powiązane efekty kierunkowe:**

**Powiązane efekty obszarowe:**

**Efekt PUCY\_U02:**

Potrafi opisać złożony układ cyfrowy za pomocą wybranego języka HDL

Weryfikacja:

etap 1 i 2 projektu

**Powiązane efekty kierunkowe:**

**Powiązane efekty obszarowe:**

**Efekt PUCY\_U03:**

Umiejętność projektowania schematów i płytek drukowanych na poziomie podstawowym

Weryfikacja:

etap 3 projektu

**Powiązane efekty kierunkowe:**

**Powiązane efekty obszarowe:**

### Profil ogólnoakademicki - kompetencje społeczne

**Efekt PUCY\_K01:**

Zespołowa realizacja projektów

Weryfikacja:

projekt

**Powiązane efekty kierunkowe:**

**Powiązane efekty obszarowe:**