**Nazwa przedmiotu:**

Projektowanie scalonych systemów cyfrowych

**Koordynator przedmiotu:**

Zbigniew Jaworski, Elżbieta Piwowarska

**Status przedmiotu:**

Fakultatywny ograniczonego wyboru

**Poziom kształcenia:**

Studia II stopnia

**Program:**

Elektronika

**Grupa przedmiotów:**

Przedmioty techniczne - zaawansowane

**Kod przedmiotu:**

PSSC

**Semestr nominalny:**

2 / rok ak. 2012/2013

**Liczba punktów ECTS:**

5

**Liczba godzin pracy studenta związanych z osiągnięciem efektów uczenia się:**

125

**Liczba punktów ECTS na zajęciach wymagających bezpośredniego udziału nauczycieli akademickich:**

3

**Język prowadzenia zajęć:**

polski

**Liczba punktów ECTS, którą student uzyskuje w ramach zajęć o charakterze praktycznym:**

3

**Formy zajęć i ich wymiar w semestrze:**

|  |  |
| --- | --- |
| Wykład:  | 30h |
| Ćwiczenia:  | 0h |
| Laboratorium:  | 15h |
| Projekt:  | 15h |
| Lekcje komputerowe:  | 0h |

**Wymagania wstępne:**

podstawowa wiedza z zakresu działania układów i systemów elektronicznych; wskazana podstawowa umiejętność posługiwania się językami opisu sprzętu (VHDL, Verilog)

**Limit liczby studentów:**

30

**Cel przedmiotu:**

przedstawienie najnowszych metod projektowania cyfrowych układów scalonych VLSI oraz praktyczne zapoznanie z technikami projektowania systemów cyfrowych

**Treści kształcenia:**

- Mikroelektroniczne systemy cyfrowe – podstawowe pojęcia: system zintegrowany (System-on-Chip): przykłady architektur, w tym układy wielordzeniowe i wieloprocesorowe. Układy rekonfigurowalne. Bloki IP. Komunikacja: magistrale, sieć zintegrowana (Network-on-Chip). Układy wejścia/wyjścia. Pamięci.
- Metody modelowania systemów i ich wykorzystanie w projektowaniu: języki opisu sprzętu, języki opisu systemu i ich wykorzystanie: specyfikacja, synteza, weryfikacja. Synteza RTL i synteza wysokiego poziomu (high level synthesis). Problemy projektowania sprzętowo-programowego. Ograniczenia i możliwości syntezy. Projektowanie systemów z wykorzystaniem bloków IP: metody i narzędzia.
- Problemy realizacji segmentu danych: Metody reprezentacji liczb: liczby całkowite, liczby rzeczywiste. Standard IEEE 754, pakiety VHDL fixed i float. Synteza struktury fizycznej.
- Problemy projektowania dużych systemów jednoukładowych: synchronizacja, układy lokalnie synchroniczne - globalnie asynchroniczne. Systemy z wieloma zegarami i zegarami wielofazowymi. Problemy dystrybucji sygnału zegarowego (clock skew) i sygnałów ustawiających (reset, set). Szacowanie poboru mocy dynamicznej i zarządzanie poborem mocy (bramkowanie zegara i adaptacyjne sterowanie częstotliwością taktowania, itp.). Techniki minimalizacji poboru mocy statycznej (implementacja trybu czuwania (sleep mode), adaptacyjne sterowanie napięciem zasilania i polaryzacją podłoża itp.). Rozprowadzanie masy i zasilania.
- Weryfikacja i testowanie: metody weryfikacji na różnych poziomach abstrakcji, weryfikacja formalna, narzędzia do weryfikacji formalnej. Zarys problemów testowania i projektowania systemów łatwo testowalnych: strategie zwiększające testowalność, techniki projektowania zorientowanego na testowanie DFT: ścieżka krawędziowa, układy samotestowalne. Standardy IEEE.
- Programowalne układy cyfrowe (FPGA): typy i architektury, techniki i narzędzia projektowania, cechy systemów realizowanych tą techniką. Układy jedno i wielordzeniowe, techniki programowania.
- Układy syntezowane w technice komórek standardowych (ASIC): biblioteki komórek – rodzaje i warianty. Synteza logiczna i synteza struktury fizycznej układu (topografii) – metody i narzędzia. Optymalizacja architektury i poboru mocy, kompromis powierzchnia-szybkość. Weryfikacja struktury fizycznej: metody szacowania szybkości, powierzchni układu i poboru mocy, rodzaje i formaty opisu komórek. Synteza układów niskomocowych.

Zakres laboratorium, projektu:
Zajęcia laboratoryjne polegają na wykonywaniu zadań indywidualnie przydzielanych każdemu studentowi. Część laboratoryjna będzie poświęcona nauce obsługi narzędzi EDA wykorzystywanych w trakcie procesu projektowania systemu cyfrowego W ramach zajęć projektowych wykonany zostanie projekt prostego systemu cyfrowego w dwóch wariantach: w technice ASIC z wykorzystaniem bloków IP oraz w technice FPGA. Tematy projektów będą nawiązywać do przykładowych praktycznych zastosowań.

**Metody oceny:**

Przedmiot będzie zaliczany na podstawie:
• oceny zadań cząstkowych wykonywanych w laboratorium (30 % oceny końcowej),
• zweryfikowanego i uruchomionego w laboratorium projektu (30% oceny końcowej),
• egzaminu z materiału wykładowego (40% oceny końcowej).

**Egzamin:**

tak

**Literatura:**

1. Wolf W. ” Modern VLSI Design, IP-based Design”, Prentice Hall 2008.
2. Go\_da A, Kos A. „Projektowanie uk\_adów scalonych CMOS”,WK\_ 2010.
3. John P. Uyemura, „CMOS Logic Circui Design”, Kluwer Academic Publishers, 2001,
4. Wong B., Mital A., Cao Y., Starr G.„Nano-CMOS Circuits And Physical Design”, A John Wiley & Sons, 2005,
5. Aitken R., Gibbons A., Shi K., Keating M., Flynn D., „Low Power Methodology Manual For System-on-Chip Design”, Springer 2008.

**Witryna www przedmiotu:**

http://www.imio.pw.edu.pl/wwwvlsi/cad/dydaktyka

**Uwagi:**

Przedmiot prowadzony z wykorzystaniem komercyjnego oprogramowania do projektowania układów cyfrowych, większość pracy własnej studenta wymaga obecności w pracowni na uczelni

## Efekty przedmiotowe

### Profil praktyczny - kompetencje społeczne

**Efekt Wpisz opis:**

rozumie potrzebę i konsekwencję wykorzystywania elementów objętych ochroną własności intelektualnej

Weryfikacja:

egzamin, projekt

**Powiązane efekty kierunkowe:**

**Powiązane efekty obszarowe:**

### Profil ogólnoakademicki - wiedza

**Efekt PSSC\_W1:**

posiada pogłębioną wiedzę na temat wpływu metod wytwarzania współczesnych układów scalonych na modelowanie i weryfikację systemów cyfrowych

Weryfikacja:

egzamin, projekt - poprawność otrzymanych parametrów

**Powiązane efekty kierunkowe:** K\_W03, K\_W05, K\_W06

**Powiązane efekty obszarowe:** T2A\_W03, T2A\_W05, T2A\_W07

**Efekt PSSC\_W2:**

posiada podbudowaną teoretycznie, rozszerzoną wiedzę w zakresie modelowania układów scalonych, w szczególności modeli układów cyfrowych

Weryfikacja:

egzamin, laboratorium

**Powiązane efekty kierunkowe:** K\_W04, K\_W05, K\_W06

**Powiązane efekty obszarowe:** T2A\_W04, T2A\_W05, T2A\_W07

**Efekt PSSC\_W3:**

posiada wiedzę na temat wykorzystywania w projektowaniu systemów cyfrowych elementów objętych ochroną własności intelektualnej

Weryfikacja:

egzamin, projekt

**Powiązane efekty kierunkowe:** K\_W07, K\_W08

**Powiązane efekty obszarowe:** T2A\_W08, T2A\_W10

### Profil ogólnoakademicki - umiejętności

**Efekt PSSC\_U1:**

potrafi zaprojektować układ cyfrowy w najnowszej technologii wykorzystując odpowiednie modele oraz narzędzia komercyjne

Weryfikacja:

laboratorium, projekt

**Powiązane efekty kierunkowe:** K\_U07, K\_U08, K\_U09, K\_U10, K\_U15, K\_U16

**Powiązane efekty obszarowe:** T2A\_U08, T2A\_U09, T2A\_U10, T2A\_U11, T2A\_U18, T2A\_U19

**Efekt PSSC\_U2:**

potrafi zweryfikować projekt układu i ocenić poprawnoSć parametrów

Weryfikacja:

laboratorium, projekt

**Powiązane efekty kierunkowe:** K\_U07, K\_U12

**Powiązane efekty obszarowe:** T2A\_U08, T2A\_U15

**Efekt Wpisz opis:**

potrafi zinterpretować specyfikację projektu oraz pozyskać, w źródłach, głównie anglojęzycznych, odpowiednie informacje niezbędne do wykonania projektu

Weryfikacja:

laboratorium, projekt

**Powiązane efekty kierunkowe:** K\_U01, K\_U13

**Powiązane efekty obszarowe:** T2A\_U01, T2A\_U16