**Nazwa przedmiotu:**

Architektury sprzętu w multimediach i radiokomunikacji

**Koordynator przedmiotu:**

Grzegorz PASTUSZAK

**Status przedmiotu:**

Fakultatywny dowolnego wyboru

**Poziom kształcenia:**

Studia I stopnia

**Program:**

Telekomunikacja

**Grupa przedmiotów:**

Przedmioty techniczne

**Kod przedmiotu:**

ASMR

**Semestr nominalny:**

7 / rok ak. 2015/2016

**Liczba punktów ECTS:**

4

**Liczba godzin pracy studenta związanych z osiągnięciem efektów uczenia się:**

115

**Liczba punktów ECTS na zajęciach wymagających bezpośredniego udziału nauczycieli akademickich:**

2,5

**Język prowadzenia zajęć:**

polski

**Liczba punktów ECTS, którą student uzyskuje w ramach zajęć o charakterze praktycznym:**

3

**Formy zajęć i ich wymiar w semestrze:**

|  |  |
| --- | --- |
| Wykład: | 30h |
| Ćwiczenia: | 0h |
| Laboratorium: | 0h |
| Projekt: | 15h |
| Lekcje komputerowe: | 0h |

**Wymagania wstępne:**

Uprzednio zaliczone przedmioty: Technika Cyfrowa

**Limit liczby studentów:**

30

**Cel przedmiotu:**

Celem przedmiotu jest przedstawienie metod projektowania i weryfikacji układów cyfrowych dedykowanych do przetwarzania sygnałów w obszarze multimediów i radiokomunikacji. Metodyka projektowania obejmuje specyfikację w języku VHDL i omówiona zostanie w odniesieniu do technologii FPGA i ASIC. Typowe funkcje spotykane w systemach multimedialnych radiokomunikacyjnych omówione zostaną z punktu widzenia ich implementacji w układach scalonych. Celem przedmiotu będzie ponadto wyrobienie u studentów intuicyjnego wyczucia i umiejętności ilościowego przewidywania skutków decyzji projektowych na optymalność układu mierzoną względem zasobów sprzętowych, czasu przetwarzania, elastyczności użycia, poboru mocy.

**Treści kształcenia:**

1) Platformy implementacyjne (1h): komputery PC, procesory DSP, układy FPGA, ASIC. Zależności czas/zasoby/koszt/elastyczność, wymagania na przepustowość w systemach/aplikacjach czasu rzeczywistego
2) Zastosowanie języka VHDL (3h): Elementy układów cyfrowych, weryfikacja w oparciu o model referencyjny, prototypowanie w układach FPGA, metody analizy poprawności działania układu FPGA.
3) Metody optymalizacji w układach cyfrowych (2h): potok, równoległe jednostki, zwijanie/rozwijanie pętli, kaskady operacji, współdzielenie zasobów, odwracanie sekwencji operacji, skracanie krytycznych ścieżek sygnałów
4) Pamięci w systemach multimedialnych (2h): pamięci zewnętrzne i wewnętrzne, ograniczenia czasowe, dostęp dzielony i równoległy, adresowanie, buforowanie, kolejki FIFO
5) Struktury blokowe w systemach kompresji i przesyłania sygnałów fonicznych i wizyjnych (4h): standardy kompresji AAC, H.264 oraz JPEG 2000, standard DVB, komunikacja między elementami systemu, przepływ danych i interfejsy zewnętrzne
6) Architektury układów transformacji (4h): kolorów, DFT, FFT, DCT, przybliżone DCT, realizacje dla sygnałów 1/2D, kwantyzacja, struktury macierzowe
7) Architektury filtrów 1/2/3D (4h): filtry liniowe/nieliniowe/interpolacyjne, transformacja falkowa DWT, zastosowanie rejestru o stałym opóźnieniu, interpolacja między-pikselowa.
8) Algorytmy i architektury predykcji 1/2/3D (4h): estymacja ruchu, kompensacja ruchu, predykcja przestrzenna.
9) Architektury koderów/dekoderów binarnych (4h): kodowanie binarne w algorytmach kompresji danych wizyjnych, modelowanie kontekstowe, modelowanie probabilistyczne, kodery/dekodery zmiennej długości, binarne kodery/dekodery arytmetyczne, drzewa binarne, drzewa czwórkowe, kodowanie nadmiarowe w radiokomunikacji, kody splotowe, kody blokowe
10) Architektury (de)modulatorów (2h): rotacja, algorytm CORDIC, (de)modulatory QAM, QPSK, OFDM.
Projekt obejmuje implementację wybranego bloku funkcjonalnego przy wykorzystaniu profesjonalnych systemów CAD (Active HDL i Quartus) w technologii FPGA. Zadaniem każdego studenta będzie zrealizowanie kompletnego cyklu projektowego dla zadanego bloku. Na cykl ten składać się będą następujące etapy: specyfikacja, przygotowanie programowego modelu referencyjnego (C/C++, JAVA lub Matlab), przygotowanie modelu w języku VHDL (lub Verilog), weryfikacja modelu w oparciu o model referencyjny, wykonanie syntezy logicznej, weryfikacja wyników syntezy w oparciu o rzeczywisty układ FPGA.

**Metody oceny:**

Do uzyskania jest 100 pkt.
Projekt 50 pkt.
Egzamin 50 pkt.
Do zaliczenia przedmiotu potrzeba co najmniej 10 pkt z egzaminu i projektu
Oceny:
5 : 91 pkt. - 100 pkt.
4.5 : 81 pkt. - 90 pkt.
4 : 71 pkt. - 80 pkt.
3.5 : 61 pkt. - 70 pkt.
3 : 51 pkt. - 60 pkt.
2 : 0 pkt. - 50 pkt.

**Egzamin:**

tak

**Literatura:**

[1] T. Acharya and P.-S. Tsai, “JPEG2000 Standard for Image Compression – Concepts, Algorithms and VLSI architectures,” John Wiley & Sons Inc., 2005.
[2] J. Chen, U.-V. Koc, and K. J. R. Liu, “Design of Digital Video Coding Systems – A complete Compressed Domain Approach,” Marcel Dekker Inc., 2002.
[3] K. Wiatr: Sprzętowe implementacje algorytmów przetwarzania obrazów w systemach wizyjnych czasu rzeczywistego. AGH, Kraków 2002.
[4] U. Meyer-Baese, “Digital Signal Processing with Field Programmable Gate Arrays,” 2nd ed., Kluwer Academic Publ., 2004.
[5] P. Pirsch, “Architectures for Digital Signal Processing,” John Wiley & Sons Inc., 1998.

**Witryna www przedmiotu:**

ztv.ire.pw.edu.pl

**Uwagi:**

## Efekty przedmiotowe

### Profil ogólnoakademicki - wiedza

**Efekt W1:**

potrafi opisać czynniki ograniczające i sprzyjające stosowaniu poszczególnych platform sprzętowych w rzeczywistych warunkach użytkowania

Weryfikacja:

egzamin cz. ustana

**Powiązane efekty kierunkowe:** K\_W06

**Powiązane efekty obszarowe:** T1A\_W03, T1A\_W04

**Efekt W2:**

potrafi opisać podstawowe struktury układów cyfrowych stosowanych w aplikacjach multimedialnych oraz radiokomunikacyjnych

Weryfikacja:

egzamin

**Powiązane efekty kierunkowe:** K\_W06, K\_W14

**Powiązane efekty obszarowe:** T1A\_W03, T1A\_W04, T1A\_W05

**Efekt W3:**

potrafi scharakteryzować metodologię i narzędzia weryficjacji układów cyfrowych do zastosowań multimedialnych i radiokomunikacyjnych

Weryfikacja:

projekt

**Powiązane efekty kierunkowe:** K\_W06

**Powiązane efekty obszarowe:** T1A\_W03, T1A\_W04

**Efekt W4:**

potrafi opisać warunki i standardy obowiązujące przy tworzeniu bloków objętych ochroną własności intelektualnej (IP Blocks)

Weryfikacja:

egzamin cz. ustana

**Powiązane efekty kierunkowe:** K\_W19

**Powiązane efekty obszarowe:** T1A\_W10

### Profil ogólnoakademicki - umiejętności

**Efekt U1:**

potrafi zaprojektować i zweryfikować cyfrowy układ realizujący przetwarzanie danych multimedialnych i radiokomunikacyjnych

Weryfikacja:

projekt

**Powiązane efekty kierunkowe:** K\_U09, K\_U12, K\_U13

**Powiązane efekty obszarowe:** T1A\_U05, T1A\_U07, T1A\_U09, T1A\_U13, T1A\_U09, T1A\_U14, T1A\_U16, T1A\_U15, T1A\_U16

**Efekt U2:**

potrafi wskazać ograniczenia technologiczne dla implementacji systemów multimedialnych i radiokomunikacyjnych

Weryfikacja:

egzamin

**Powiązane efekty kierunkowe:** K\_U08

**Powiązane efekty obszarowe:** T1A\_U10, T1A\_U12

**Efekt U3:**

potrafi przeprojektować strukturę modułu realizującego przetwarzanie danych cyfrowych celem skalowania typu czas-zasoby

Weryfikacja:

egzamin

**Powiązane efekty kierunkowe:** K\_U12, K\_U16

**Powiązane efekty obszarowe:** T1A\_U09, T1A\_U14, T1A\_U16, T1A\_U08, T1A\_U16

### Profil ogólnoakademicki - kompetencje społeczne

**Efekt Wpisz opis:**

Określić kolejność realizacji oraz podział podzadań projektu cyfrowego układu scalonego

Weryfikacja:

projekt

**Powiązane efekty kierunkowe:** K\_K04

**Powiązane efekty obszarowe:** T1A\_K04