**Nazwa przedmiotu:**

Układy cyfrowe

**Koordynator przedmiotu:**

Elżbieta PIWOWARSKA

**Status przedmiotu:**

Obowiązkowy

**Poziom kształcenia:**

Studia I stopnia

**Program:**

Elektronika

**Grupa przedmiotów:**

Przedmioty techniczne

**Kod przedmiotu:**

UCYF

**Semestr nominalny:**

3 / rok ak. 2015/2016

**Liczba punktów ECTS:**

5

**Liczba godzin pracy studenta związanych z osiągnięciem efektów uczenia się:**

128 h:
obecność na wykładzie - 30 h
przygotowanie do laboratorium - 30 h
obecność na laboratorium - 30 h
konsultacje, praca własna, w tym przygotowanie do egzaminu - 35 h
egzamin - 3 h

**Liczba punktów ECTS na zajęciach wymagających bezpośredniego udziału nauczycieli akademickich:**

3 (wykład + laboratoria + egzamin + konsultacje = ok. 70 h)

**Język prowadzenia zajęć:**

polski

**Liczba punktów ECTS, którą student uzyskuje w ramach zajęć o charakterze praktycznym:**

3 (laboratoria + przygotowanie do laboratoriów, ok. 70 h)

**Formy zajęć i ich wymiar w semestrze:**

|  |  |
| --- | --- |
| Wykład: | 30h |
| Ćwiczenia: | 0h |
| Laboratorium: | 30h |
| Projekt: | 0h |
| Lekcje komputerowe: | 0h |

**Wymagania wstępne:**

znajomość zagadnień z zakresu układów logicznych potwierdzona zaliczeniem przedmiotu ULOGE lub podobnego

**Limit liczby studentów:**

120

**Cel przedmiotu:**

Celem przedmiotu jest przedstawienie budowy i działania podstawowych bloków układów cyfrowych oraz metod projektowania układów cyfrowych realizowanych w technologiach mikroelektronicznych. W szczególności celem przedmiotu jest opanowanie umiejętności modelowania i weryfikacji z wykorzystaniem języków opisu sprzętu na przykładzie języka VHDL.

**Treści kształcenia:**

Układy cyfrowe - zasady, sposoby opisu, implementacje. Poziomy abstrakcji. Logika kombinacyjna. Bramki kombinacyjne, przełączanie. Logika sekwencyjna. Statyczne elementy pamiętające. Koncepcja modelu w języku opisu sprzętu. Moduły, obiekty. Jednostka projektowa. Symulacja w VHDL. Instrukcje współbieżne i sekwencyjne. Modelowanie logiki kombinacyjnej. Modelowanie automatów. Modelowanie hierachiczne. Magistrale. Podstawy syntezy. Architektura układów RTL. Układy arytmetyczne. Diagram ASM. Zagadnienia czasowe. Potok. Architektura układów cyfrowych - pamięci. Weryfikacja i testowanie układów cyfrowych. Układy DSP. Systemy cyfrowe.

**Metody oceny:**

Egzamin - część testowa
Egzamin - część zadaniowa
Laboratorium

**Egzamin:**

tak

**Literatura:**

- wykład - dostępny na serwerze studia
- Standard IEEE języka VHDL
- "Synteza układów cyfrowych”, T. Łuba i in. WKŁ 2003
- „Programowalne układy przetwarzania sygnałów i informacji”, T. Łuba i in. WKŁ 2008 - „Język VHDL,
- Projektowanie programowalnych układów logicznych”, Kevin Skahill, WNT2001
- „Circuit Design with VHDL”, V. A. Pedroni. MIT Press, 2004
- „RTL hardware design using VHDL” Pong P. Ch, John Wiley & Sons Inc.2006
- "Projektowanie układów cyfrowych z wykorzystaniem języka VHDL", Zwoliński M.: . WKŁ. Warszawa 2002.

**Witryna www przedmiotu:**

https://studia.elka.pw.edu.pl/

**Uwagi:**

W trakcie zajęć laboratoryjnych konieczne jest podpisanie przez studentów deklaracji zachowania poufności. Bez spełnienia tego warunku nie ma możliwości korzystania z komercyjnego oprogramowania zawierającego dostęp do poufnych informacji technologicznych.

## Efekty przedmiotowe

### Profil ogólnoakademicki - wiedza

**Efekt UCYFE\_W01:**

posiada podstawową wiedzę na temat konstrukcji i działania podstawowych bramek statycznych oraz technologii ich wytwarzania

Weryfikacja:

egz. – cz. testowa

**Powiązane efekty kierunkowe:** K\_W09, K\_W13

**Powiązane efekty obszarowe:** T1A\_W03, T1A\_W04, T1A\_W07, T1A\_W05

**Efekt UCYFE\_W02:**

zna i rozumie rodzaje układów cyfrowych (FSM, ścieżka danych, pamięć ...) oraz ich modele stosowane w projektowaniu układów cyfrowych z wykorzystaniem języków opisu sprzętu

Weryfikacja:

egz. – cz. testowa i zadaniowa

**Powiązane efekty kierunkowe:** K\_W03, K\_W09

**Powiązane efekty obszarowe:** T1A\_W02, T1A\_W07, T1A\_W03, T1A\_W04, T1A\_W07

**Efekt UCYFE\_W03:**

ma podstawową wiedzę na temat synchronizacji układów cyfrowych i metod komunikacji

Weryfikacja:

egz. – cz. zadaniowa, laboratorium

**Powiązane efekty kierunkowe:** K\_W03, K\_W09

**Powiązane efekty obszarowe:** T1A\_W02, T1A\_W07, T1A\_W03, T1A\_W04, T1A\_W07

### Profil ogólnoakademicki - umiejętności

**Efekt UCYFE\_U01:**

potrafi opracować i zweryfikować model układu kombinacyjnego, automatu FSM oraz prostego układu przetwarzającego dane, wykorzystując język VHDL

Weryfikacja:

laboratorium

**Powiązane efekty kierunkowe:** K\_U01, K\_U11, K\_U12, K\_U18

**Powiązane efekty obszarowe:** T1A\_U09, T1A\_U09, T1A\_U15, T1A\_U08, T1A\_U09, T1A\_U15, T1A\_U09, T1A\_U16

**Efekt UCYFE\_U02:**

potrafi opracowywać projekty hierarchiczne, wykorzystujące gotowe bloki, w tym objęte ochroną własności intelektualnej

Weryfikacja:

egz. – cz. testowa, laboratorium

**Powiązane efekty kierunkowe:** K\_U16, K\_U21

**Powiązane efekty obszarowe:** T1A\_U09, T1A\_U10, T1A\_U12, T1A\_U14, T1A\_U15, T1A\_U16, T1A\_U08, T1A\_U09, T1A\_U13, T1A\_U15, T1A\_U16

**Efekt UCYFE\_U03:**

potrafi stosować metody syntezy logicznej w projektowaniu systemów cyfrowych

Weryfikacja:

laboratorium

**Powiązane efekty kierunkowe:** K\_U01, K\_U11

**Powiązane efekty obszarowe:** T1A\_U09, T1A\_U09, T1A\_U15

**Efekt UCYFE\_U04:**

potrafi stosować wybrane narzędzia CAD do projektowania i weryfikacji układów cyfrowych

Weryfikacja:

laboratorium, egz. – cz. testowa i cz. zadaniowa

**Powiązane efekty kierunkowe:** K\_U11, K\_U17, K\_U18

**Powiązane efekty obszarowe:** T1A\_U09, T1A\_U15, T1A\_U14, T1A\_U09, T1A\_U16